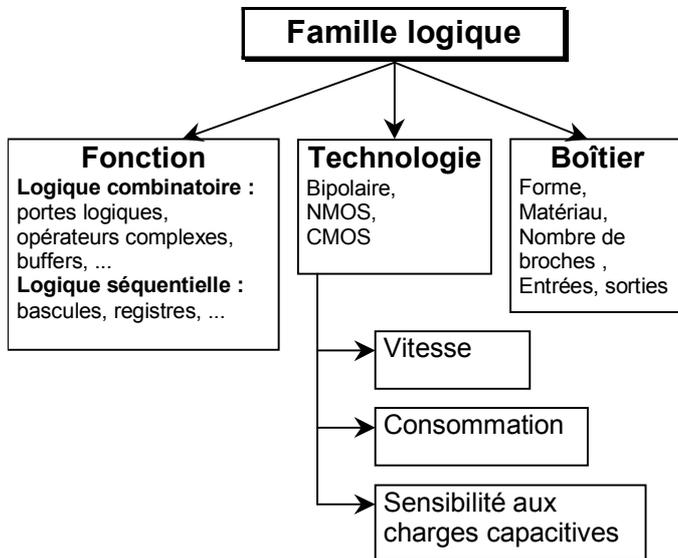


## 1. Présentation

Les circuits logiques, largement produits par la plupart des fabricants de semi-conducteurs, sont classés en familles, caractérisées par le schéma ci-dessous :

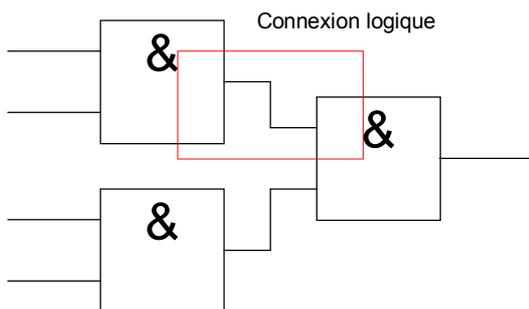


## 2. Technologie

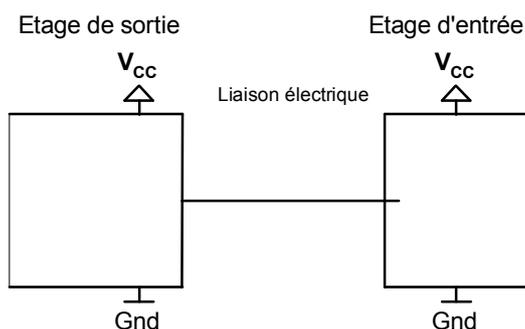
Les différentes technologies de micro-électronique se distinguent par trois points essentiels :

- 
- 
- 

### 2.1. Schéma équivalent des entrées et sorties logiques



*Schéma simplifié des étages d'entrée et de sortie connectés*



## 2.2. Les sorties à "3 états" ou "haute impédance"

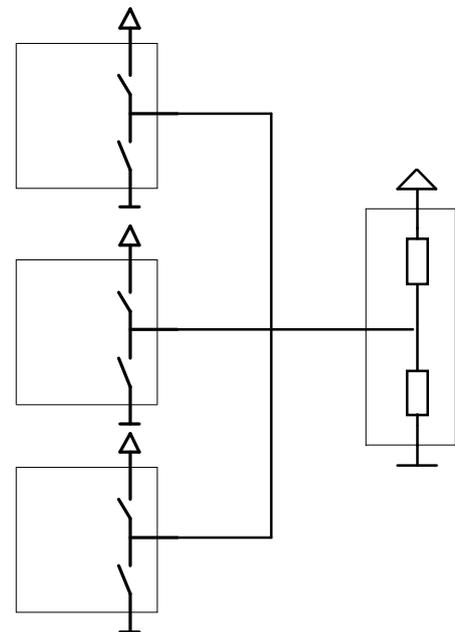
Dans certains types de circuits logiques, on trouve une fonction auxiliaire qui permet de mettre hors fonction simultanément les états logiques haut et bas de l'étage de sortie.

C'est l'état "Tri-State" ou "haute impédance", qui permet de relier diverses sorties à une même ligne de bus. Dans cet état, la sortie se comporte comme un circuit ouvert, aucun courant ne peut circuler → Haute impédance.

Normalement, il est interdit de relier plusieurs sorties logiques ensemble ; il suffit en effet qu'elles présentent des états différents pour qu'elles court-circuitent l'alimentation.

Un multiplexeur (ou aiguilleur) serait alors nécessaire pour sélectionner *une* sortie logique parmi plusieurs et l'appliquer sur l'entrée. Mais ce circuit comporterait bien plus de portes logiques que les mémoires elle-mêmes.

En choisissant des sorties 3 états, on peut les relier, car seule la sortie sélectionnée est active à un instant donné, pendant que les autres sont dans l'état « haute impédance ».



*Connexions de sorties 3 états en Bus*

## 3. Caractéristiques d'utilisation

### 3.1. Définition des caractéristiques électriques

On note :

- Les conditions de fonctionnement recommandées :

Tension maximale applicable sur l'entrée permettant d'assurer un état bas
Tension minimale applicable sur l'entrée permettant d'assurer un état haut
Courant maximal pouvant être fourni en sortie au niveau logique bas
Courant maximal pouvant être fourni en sortie au niveau logique haut

- Les caractéristiques électriques :

Tension de sortie maximale représentant un niveau logique bas
Tension de sortie minimale représentant un niveau logique haut
Courant d'entrée maximal utilisé permettant d'assurer un état bas
Courant d'entrée maximal utilisé permettant d'assurer un état haut

### 3.2. Compatibilité des connexions

Pour un fonctionnement correct des circuits, les niveaux logiques « 0 » et « 1 » fournis par une sortie doivent être bien reconnus par l'entrée connectée. Il faut pour cela, dans des conditions d'utilisation correctes :

- **Compatibilité en tension :**  
toute la plage des tensions pouvant représenter un niveau logique en sortie doit être incluse dans la plage des tensions applicables en entrée pour ce même niveau logique.
- **Compatibilité en courant :**  
toute la plage des courants pouvant être utilisés par l'entrée (charge) doit être incluse dans la plage des courants pouvant être fournis par la sortie (générateur de tension).

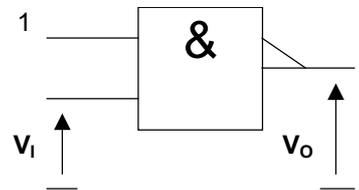
Ces règles d'utilisation peuvent être représentées sur le schéma ci-contre :

### 3.3. Fonction de transfert d'une porte logique inverseuse

Exemple : Porte TTL-LS,  $V_{CC} = 5\text{ V}$

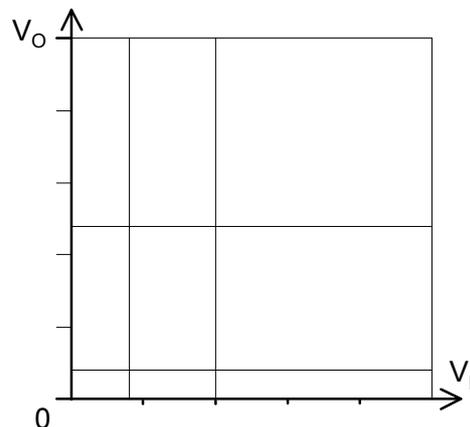
(Cas d'étude mais cette technologie n'est plus utilisée)

$$\begin{aligned} V_{L\max} &= 0,8\text{ V} \\ V_{H\min} &= 2\text{ V} \\ V_{O\max} &= 0,4\text{ V} \\ V_{O\min} &= 2,4\text{ V} \end{aligned}$$



Soit la porte logique ci-dessus. Sur le graphe ci-dessous :

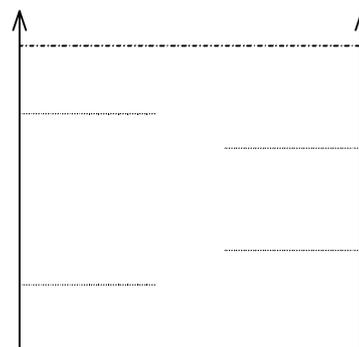
- Placer sur les axes les valeurs caractéristiques des tensions d'entrée et de sortie définies au §3.1.
- Tracer le gabarit de la fonction de transfert en éliminant les zones que l'on est sûr de ne jamais atteindre.
- En déduire une courbe de fonction de transfert approchée



#### Compatibilité des niveaux de tension d'une sortie sur une entrée

Tension **fournie**  
en sortie  
dans un fonctionnement  
correct

Tension **applicable**  
en entrée  
pour une utilisation  
correcte



## 3.4. Immunité au bruit

### 3.4.1. Description de l'immunité au bruit d'une porte CMOS

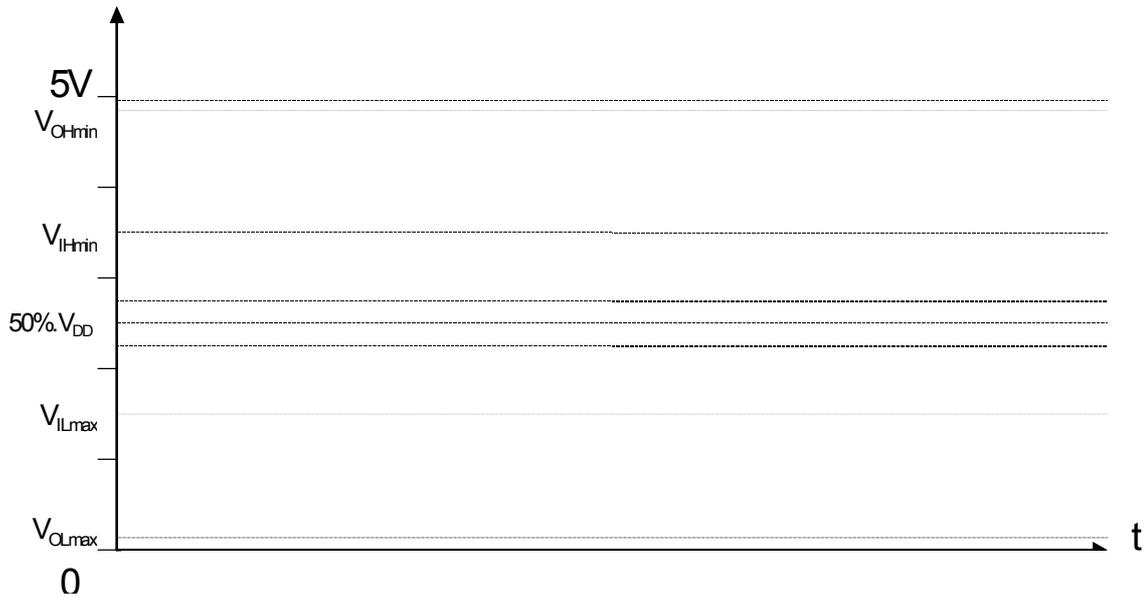
- Placer sur l'axe des ordonnées les seuils de tension caractéristiques de la technologie.
- Tracer un signal de sortie à l'état « 0 », passant lentement à « 1 » à la moitié de l'axe des temps disponible, les niveaux de tension de sortie étant dans les cas les plus défavorables d'utilisation ;

- Superposer à ce signal utile un bruit (pics de tension parasites) d'amplitude variable (de 0,5 à 2 V) ;
- Déterminer l'amplitude minimale du bruit qui peut être accepté sans perturber les états logiques.

### 3.5. Comparaison avec l'immunité au bruit de la technologie TTL :

Même procédure. Comparer les résultats.

Immunité au bruit pour une porte logique CMOS sous  $V_{DD} = 5V$



Immunité au bruit pour une porte logique TTL-LS

